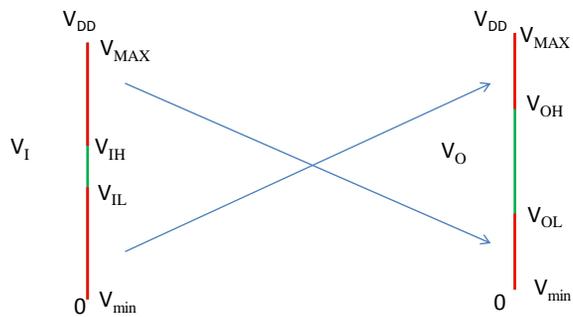
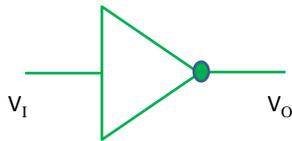


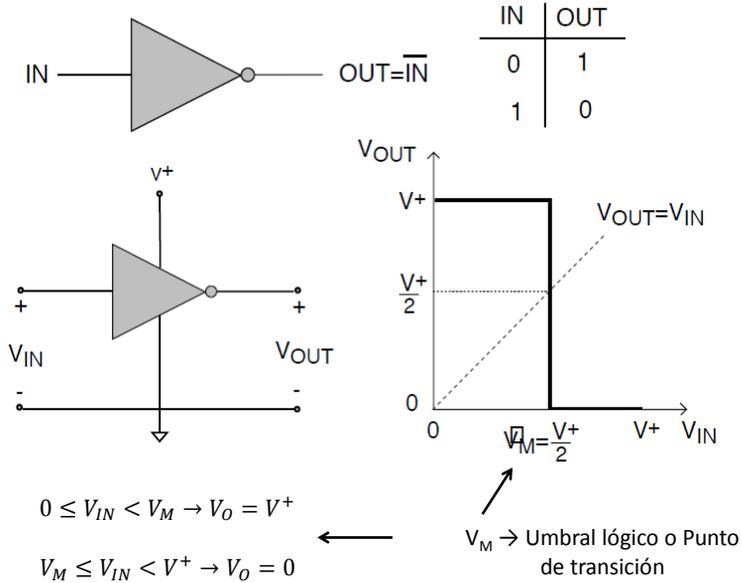
Materiales y Dispositivos Electrónicos -  
Universidad Nacional de Tucumán

1

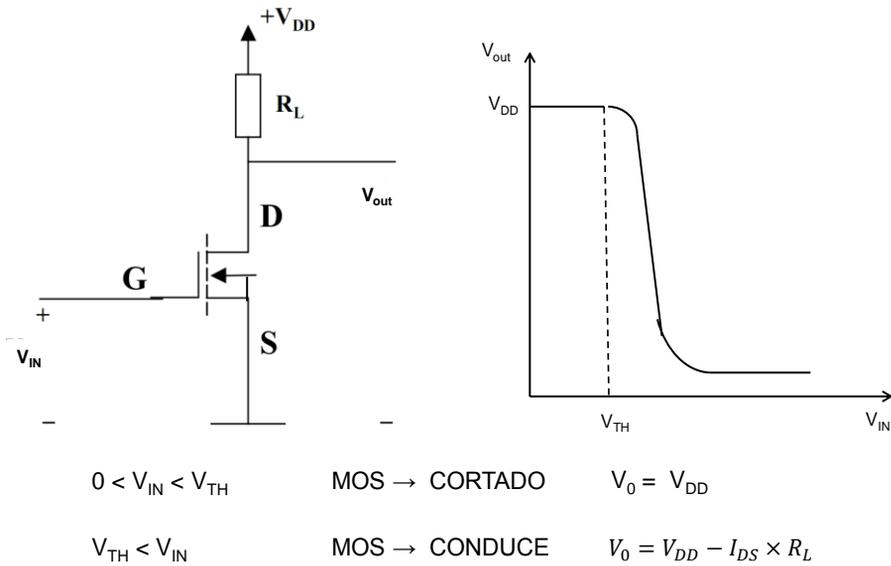


2

### INVERSOR IDEAL

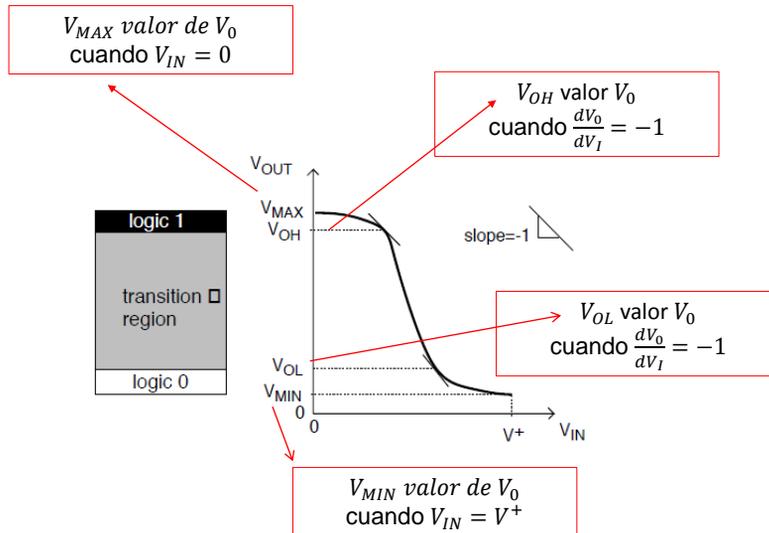


### INVERSOR NMOS

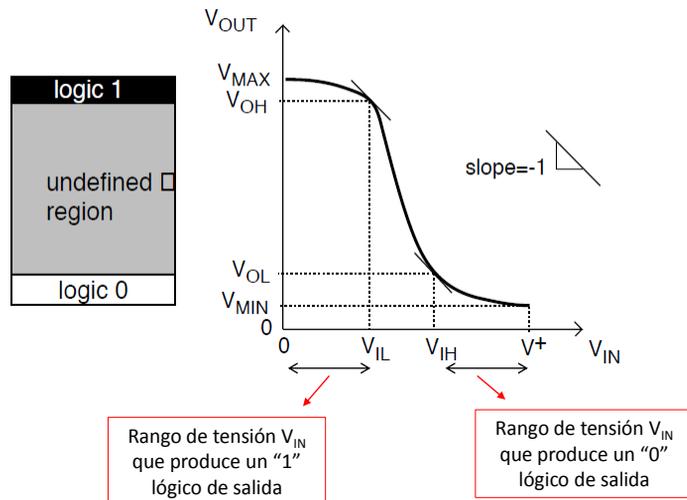


## INVERSOR REAL

### Niveles Lógicos

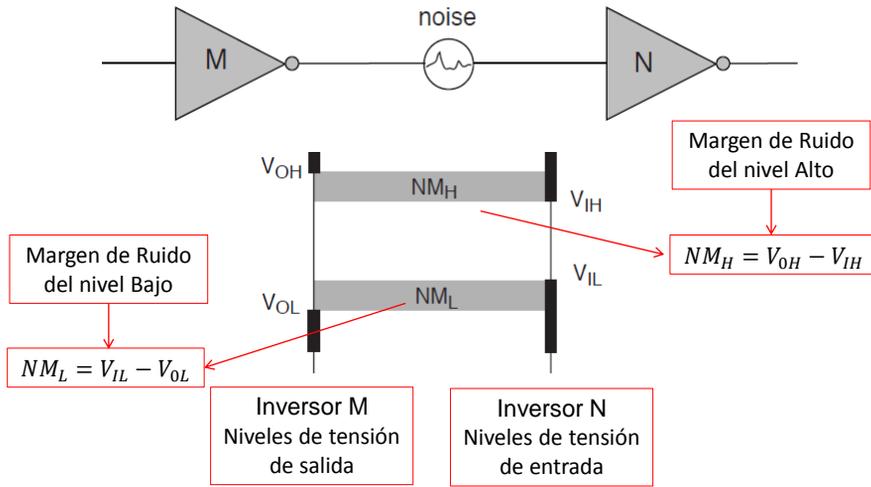


## INVERSOR REAL

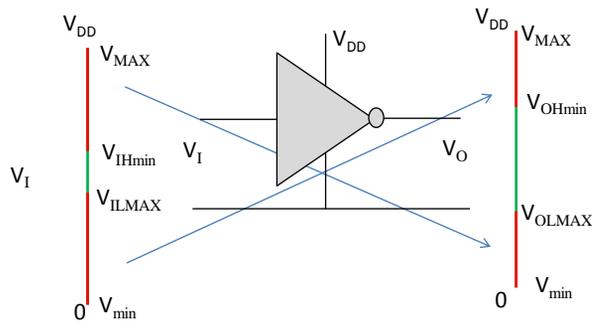


# INVERSOR REAL

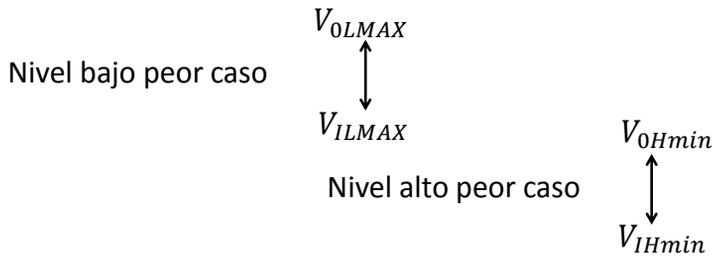
Margen de ruido



El margen de ruido se calcula tomando la peor situación 7



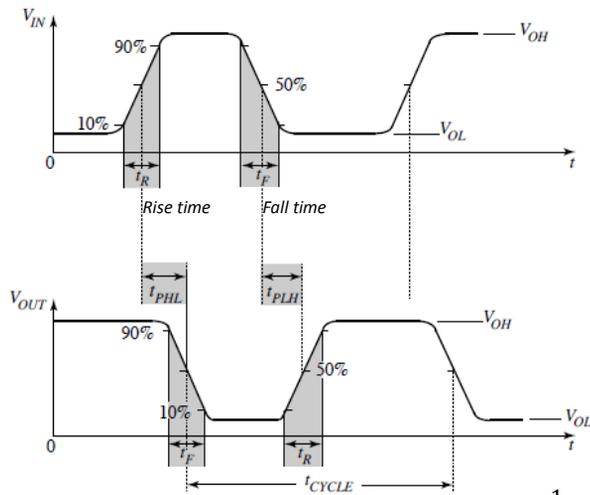
Para conectar dos inversores en cascada



8

# INVERSOR REAL

Tiempos de conmutación



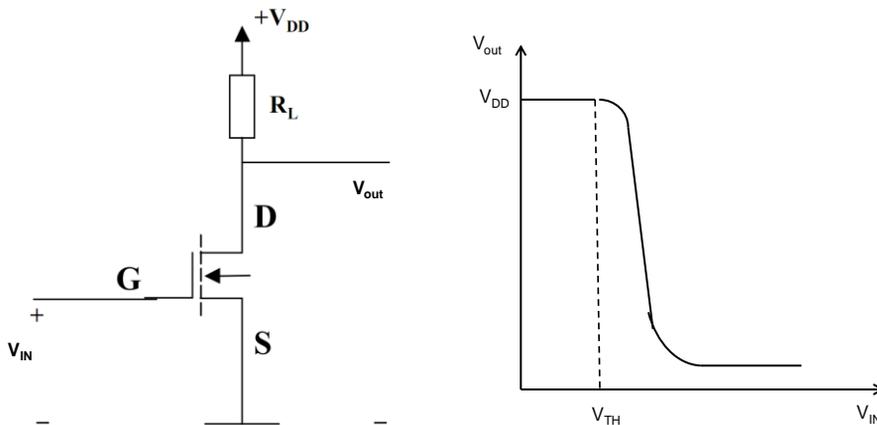
$t_{PHL}$  → tiempo de conmutacion de alto a bajo

$t_{PLH}$  → tiempo de conmutacion de bajo a alto

$$t_P = \frac{1}{2}(t_{PHL} + t_{PLH})$$

Retardo de propagación

# INVERSOR NMOS



$0 < V_{IN} < V_{TH}$

$V_{TH} < V_{IN}$

MOS → CORTADO

MOS → CONDUCE

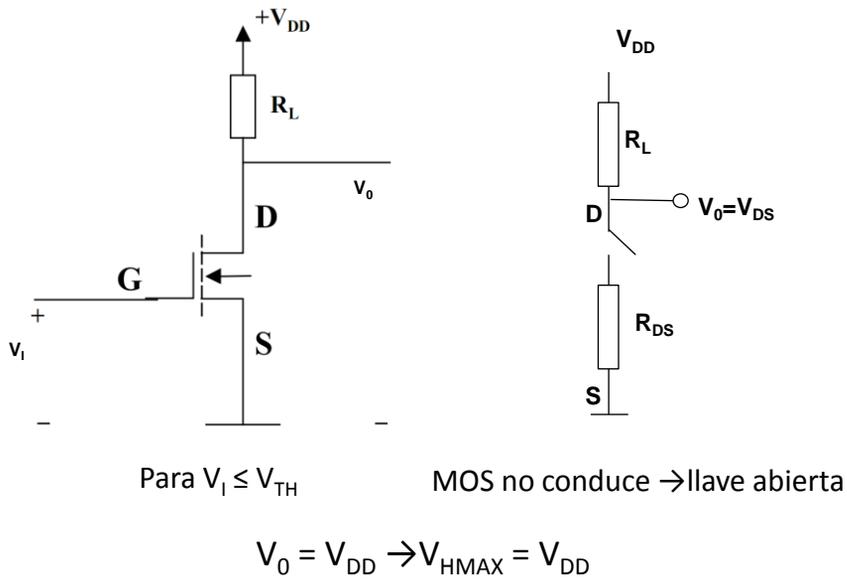
$I_{DS}$  Óhmico o Saturado

$V_0 = V_{DD} \rightarrow V_H$

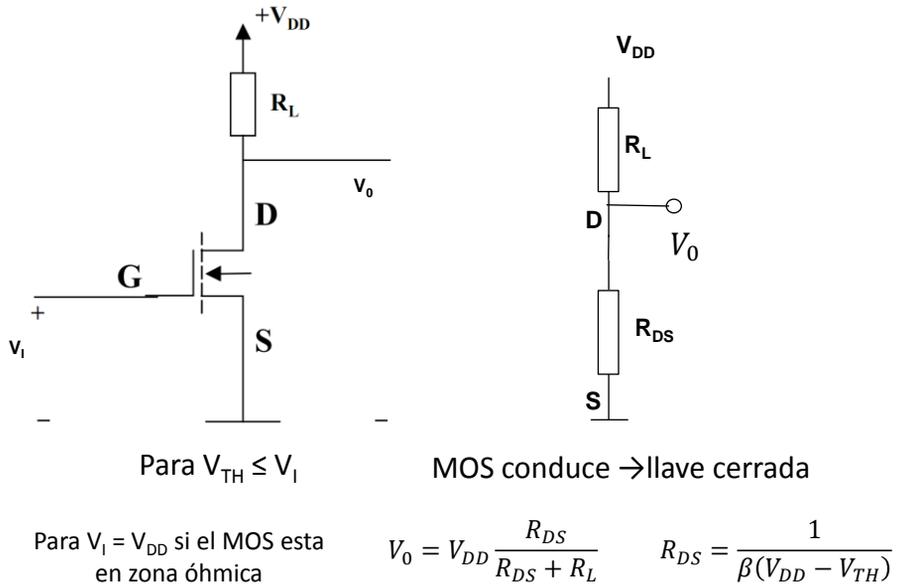
$V_0 = V_{DD} - I_{DS} \times R_L$

Resolver desigualdad

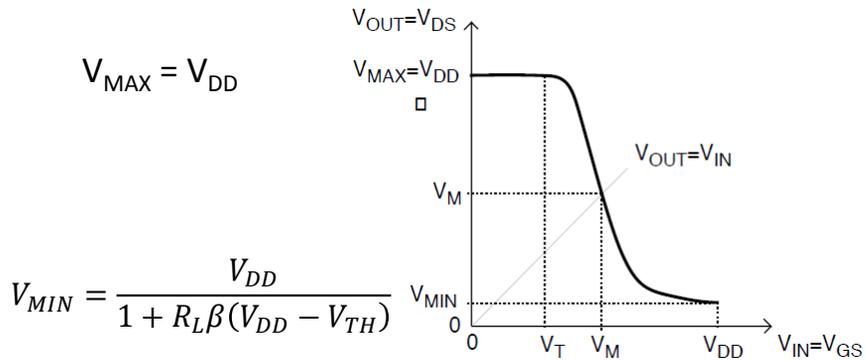
## INVERSOR NMOS



## INVERSOR NMOS



## INVERSOR NMOS



- Para que el nivel de salida bajo sea próximo a cero

$$V_{MIN} = V_{DD} \frac{R_{DS}}{R_{DS} + R_L}$$

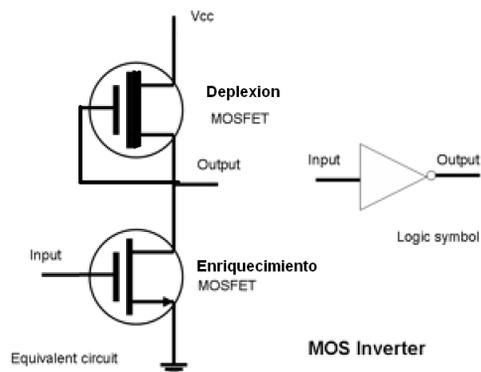
$$R_L \gg R_{DS}$$

$$V_{MIN} \approx V_{DD} \frac{R_{DS}}{R_L}$$

Materiales y Dispositivos Electrónicos -  
Universidad Nacional de Tucumán

13

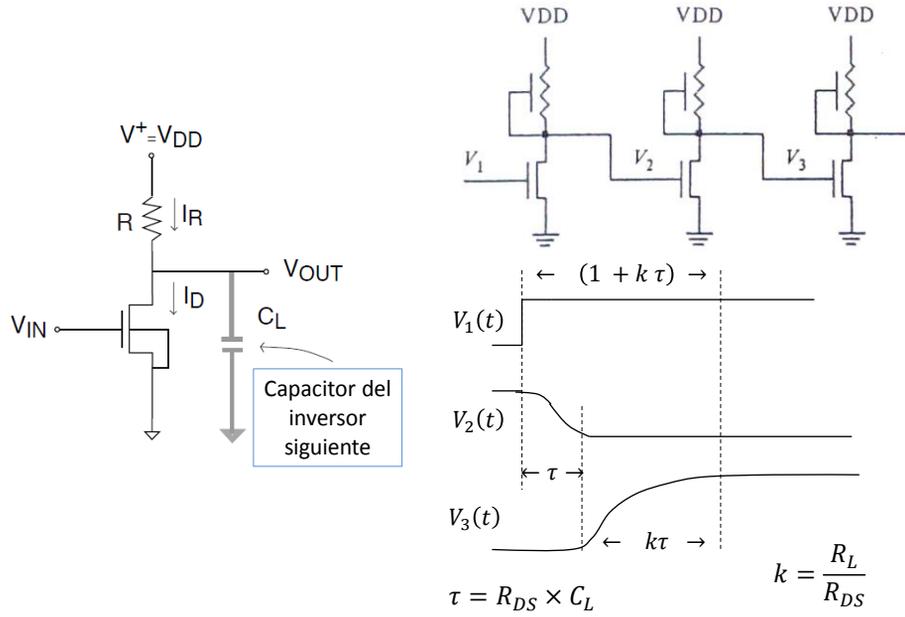
## INVERSOR NMOS



Circuito para obtener  $R_L$  de gran valor con poca área de silicio

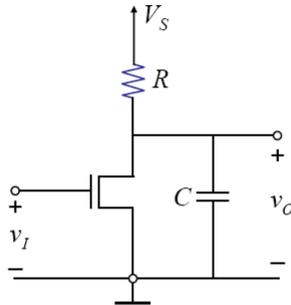
14

## Retardo del Inversor



## Energía y potencia

## Estudie la disipación de energía en las puertas del MOSFET



$C$ : capacidad de cableado y  $C_{GS}$  de la puerta siguiente

Determinemos:

- la potencia de reserva
- la potencia activa

17

## ¿Por qué preocuparnos por la energía?

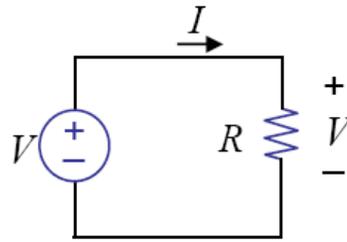


Hoy:

- ¿Cuánto durará la batería?  
en modo de reserva  
en uso activo
- ¿Se recalentará el chip y se autodestruirá?

18

Ejemplo 1:



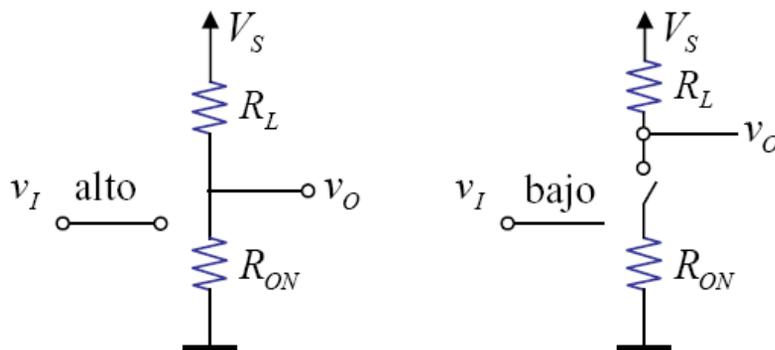
Potencia,  $P = VI = \frac{V^2}{R}$

Energía disipada en tiempo  $T$

$$E = VIT$$

19

Para nuestra puerta:



$$P = \frac{V_S^2}{R_L + R_{ON}}$$

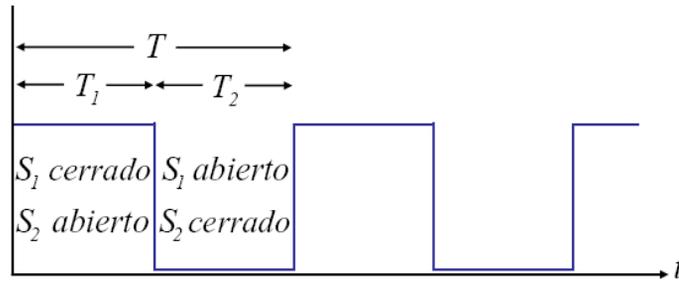
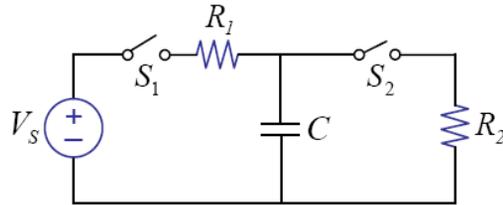


$$P = 0$$

20

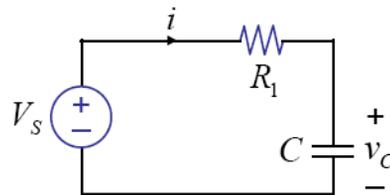
## Ejemplo 2:

Considere:

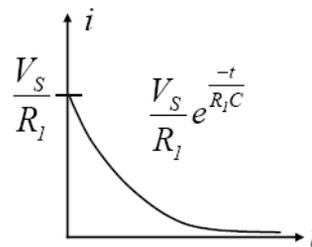
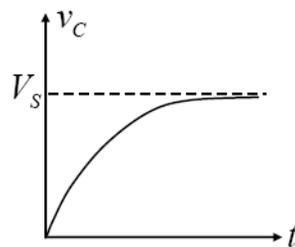


21

$T_1$ :  $S_1$  cerrado,  $S_2$  abierto



suponga que,  
 $v_C = 0$  en  $t = 0$



22

Energía total que proporciona una fuente durante  $T_1$

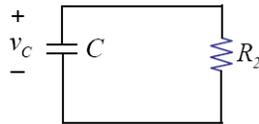
$$\begin{aligned}
 E &= \int_0^{T_1} V_s i \, dt \\
 &= \int_0^{T_1} \frac{V_s^2}{R_1} e^{\frac{-t}{R_1 C}} \, dt \\
 &= -\frac{V_s^2}{R_1} R_1 C e^{\frac{-t}{R_1 C}} \Big|_0^{T_1} \\
 &= C V_s^2 \left( 1 - e^{\frac{-T_1}{R_1 C}} \right)
 \end{aligned}$$

$\approx C V_s^2$  si  $T_1 \gg R_1 C$   
 es decir, si esperamos lo suficiente

$$\left. \begin{aligned}
 \frac{1}{2} C V_s^2 &\text{ almacenado en } C, \\
 E_1 &= \frac{1}{2} C V_s^2 \text{ disipado en } R_1
 \end{aligned} \right\} \begin{array}{l} \text{Independiente} \\ \text{de } R \end{array}$$

23

$T_2$ :  $S_2$  cerrado,  $S_1$  abierto



En un principio,  $v_c = V_s$  (recuerde  $T_1 \gg R_1 C$ )

Por lo tanto, inicialmente,

$$\text{energía almacenada en condensador} = \frac{1}{2} C V_s^2$$

Suponga que  $T_2 \gg R_2 C$

Por tanto, el condensador se descarga ~completamente en  $T_2$

Por tanto, la energía disipada en  $R_2$  durante  $T_2$ ,

$$E_2 = \frac{1}{2} C V_s^2$$

$E_1, E_2$  independiente de  $R_2$

24

## Juntando los dos:

Energía disipada en cada ciclo,

$$E = E_1 + E_2$$

$$= \frac{1}{2}CV_s^2 + \frac{1}{2}CV_s^2$$

$$E = CV_s^2 \text{ energía disipada en}$$

*la carga y descarga de C*

Supone que C se carga y se descarga completamente.

25

Potencia media,

$$\bar{P} = \frac{E}{T}$$

$$= \frac{CV_s^2}{T}$$

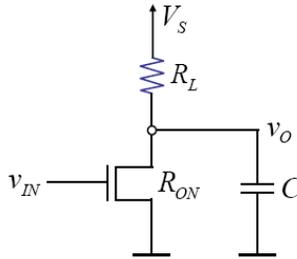
$$= CV_s^2 f$$

★★★

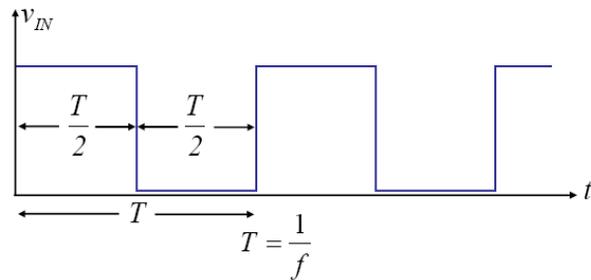
frecuencia  $f = \frac{1}{T}$

26

## Volvemos a nuestro inversor —

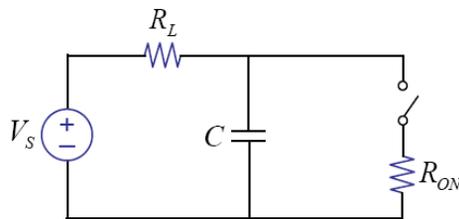


¿Qué es  $\bar{P}$  para la entrada siguiente?

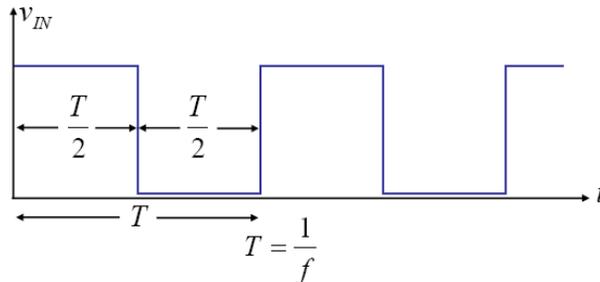


27

## Circuito equivalente



¿Qué es  $\bar{P}$  para la entrada siguiente?



28

## ¿Qué es $\bar{P}$ para la puerta?

Cuando  $R_L \gg R_{ON}$

$$\bar{P} = \frac{V_S^2}{2R_L} + CV_S^2 f$$

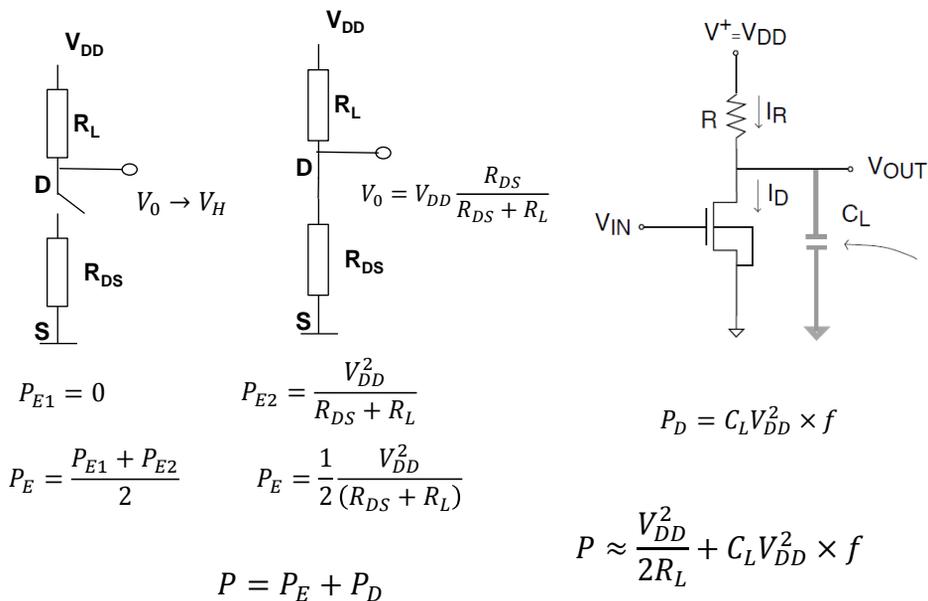
En modo de reserva,  
se puede suponer que  
la mitad de las puertas  
en un chip están ON.  
Por tanto,  $\bar{P}_{ESTÁTICO}$  por  
puerta es  $\frac{V_S^2}{2R_L}$ .

En modo de reserva,  
 $f \rightarrow 0$ ,  
por lo que la potencia  
dinámica es 0

Está relacionado con la  
potencia de reserva.

30

## Potencia



31

## Algunos números...

Un chip con  $10^6$  puertas cronometrando  
a 100 MHz

$$C = 1fF$$

$$R_L = 10k\Omega$$

$$f = 100 \times 10^6$$

$$V_S = 5V$$

$$\bar{P} = 10^6 \left[ \frac{25}{2 \times 10^4} + 10^{-15} \times 25 \times 100 \times 10^6 \right]$$

$$= 10^6 [1.25 \text{ milivatios} + 2.5 \text{ microvatios}]$$

**i problema!**

1.25KW!

2.5W

no está mal

debe deshacerse de esto

$$\propto V_S^2$$

$$\propto f$$

reduzca  $V_S$

$$5V \rightarrow 1V$$

$$2.5W \rightarrow 150mW$$

32

## INVERSOR NMOS

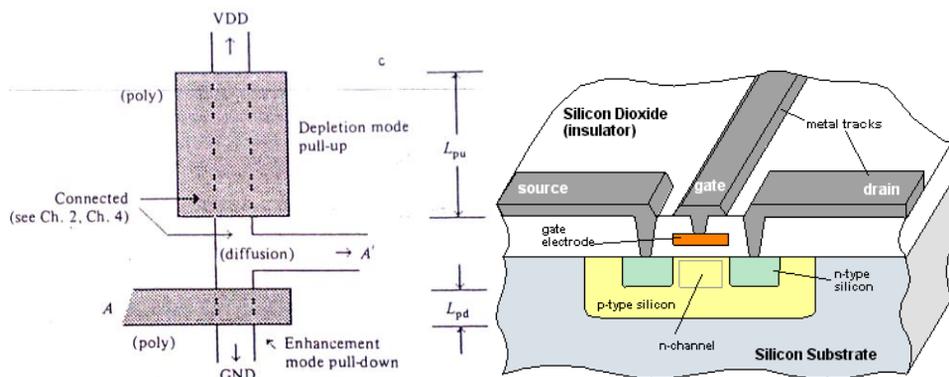


Fig. 1.8 Basic inverter layout.

33

## Compuerta NAND

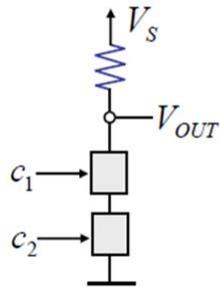
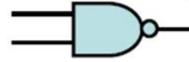


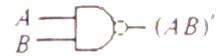
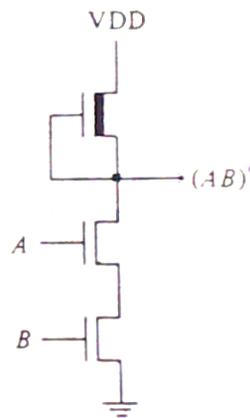
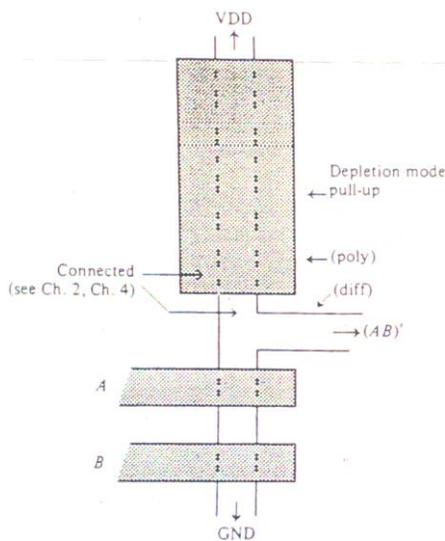
Tabla de verdad para



$c_1$	$c_2$	$V_O$
0	0	1
0	1	1
1	0	1
1	1	0

34

## Compuerta NAND



$A$	$B$	$(AB)'$
0	0	1
0	1	1
1	0	1
1	1	0

35

## Compuerta NOR

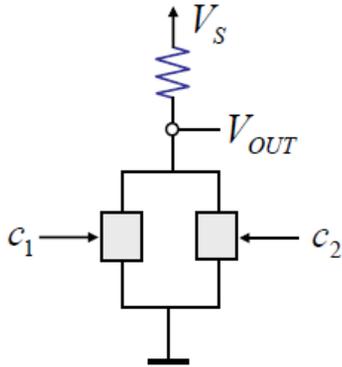
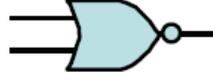


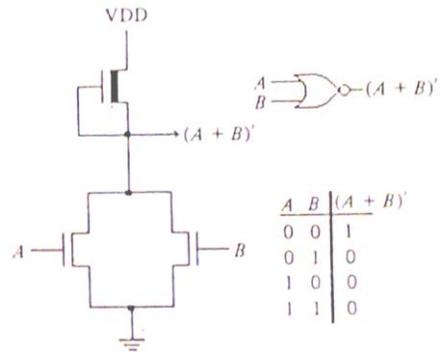
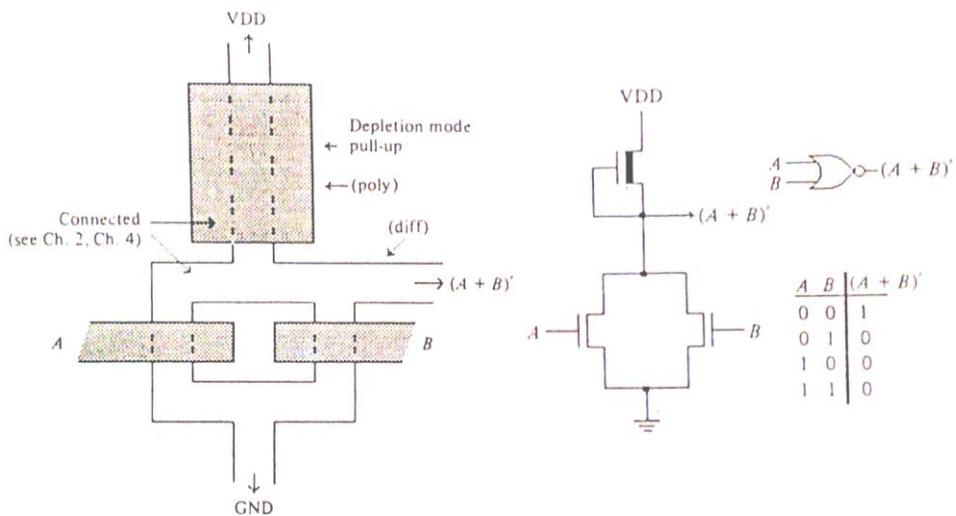
Tabla de verdad para



$c_1$	$c_2$	$V_o$
0	0	1
0	1	0
1	0	0
1	1	0

36

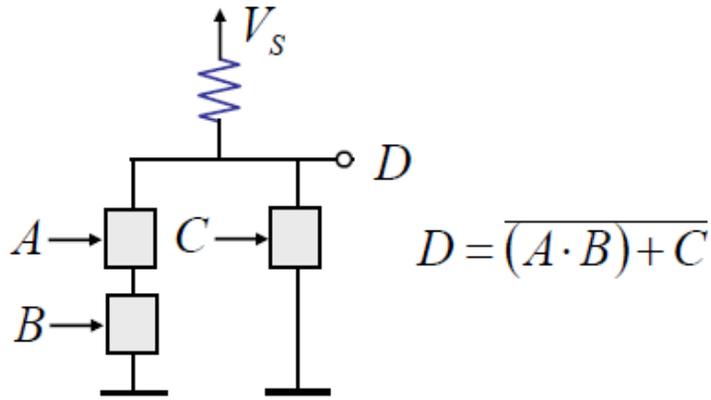
## Compuerta NOR



$A$	$B$	$(A + B)'$
0	0	1
0	1	0
1	0	0
1	1	0

37

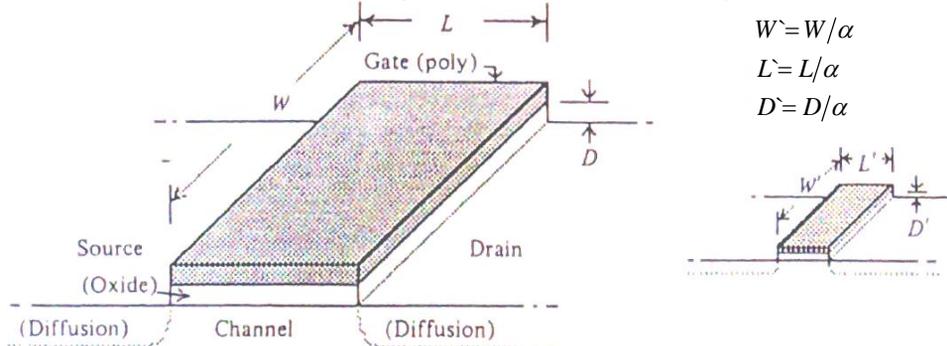
# Función LOGICA



38

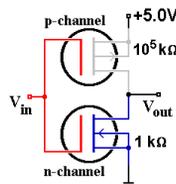
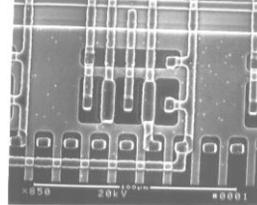
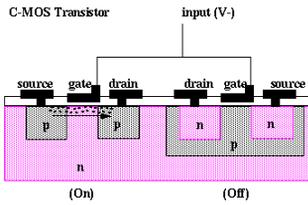
## Efectos debido a la miniaturización de los circuitos MOS

$\tau \propto L^2/V$	$\tau/\tau = [(L/\alpha)^2/(V/\alpha)]/(L^2/V)$	$\tau' = \tau/\alpha$
$C \propto LW/D$	$C'/C = [(L/\alpha)(W/\alpha)/(D/\alpha)]/(LW/D)$	$C' = C/\alpha$
$I \propto WV^2/LD$	$I'/I = [(WV^2/\alpha^2)/(LD/\alpha^2)]/(WV^2/LD)$	$I' = I/\alpha$
$P_{sw} \propto CV^2/\tau \propto WV^3/DL$	$P'_{sw} = P_{sw}/\alpha^2$	$P_{dc} = IV$ $P'_{dc} = P_{dc}/\alpha^2$

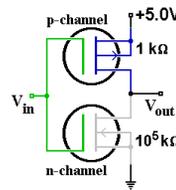


39

# Aplicaciones: Circuitos Lógicos Tecnología CMOS



**CMOS inverter**  
 in: HI  
 on: n-channel  
 off: p-channel  
 out: LO



**CMOS inverter**  
 in: LO  
 on: p-channel  
 off: n-channel  
 out: HI

## Inversor (NOT)

Materiales y Dispositivos Electrónicos -  
Universidad Nacional de Tucumán

40

# Aplicaciones: Memorias RAM

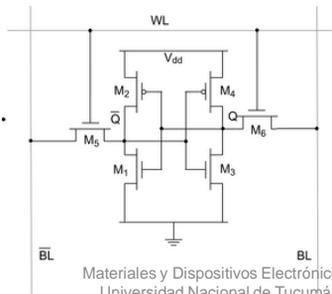
## DRAM

Se almacena un "1" en la celda cargando el condensador mediante una  $V_G$  en fila y  $V_D$  en bit

La lectura se hace aplicando  $V_G$  en fila y midiendo la corriente en la línea bit

La lectura es un proceso destructivo. Hay que restaurar el valor leído

## SRAM

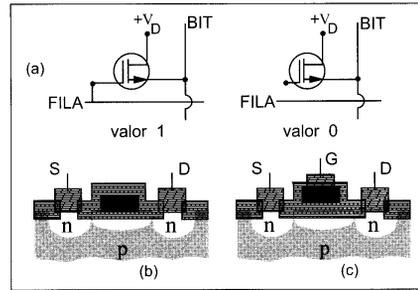


Materiales y Dispositivos Electrónicos -  
Universidad Nacional de Tucumán

## Aplicaciones: Memorias ROM

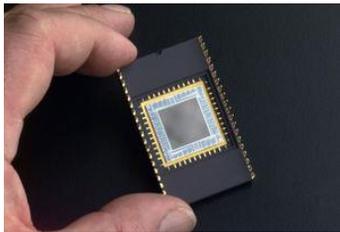


EPROM

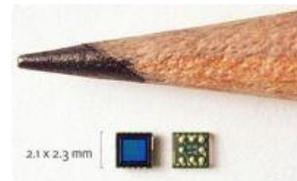
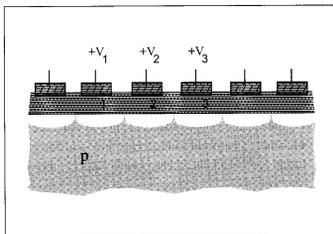


MOSFET ROM

## Aplicaciones: CCD



CCD



CMOS sensor

