

# Diseño VLSI

Orientación al IP Design

A dark blue diagonal gradient bar that starts from the bottom left corner and extends towards the top right corner, covering the lower half of the slide.

# Circuitos Integrados

¿Un nicho tecnológico?



- La Tecnología de Circuitos Integrados (IC) es el motor de la economía digital mundial.
  - Es la base de muchos dispositivos y sistemas que han cambiando nuestros estilos de vida.
  - Sin ICs, ni transistores ni computadoras serían tan importantes como los son hoy.
  - Mucho más pequeños y consumen menos potencia que los componentes discretos usados antes de los 1960.

# Circuitos Integrados

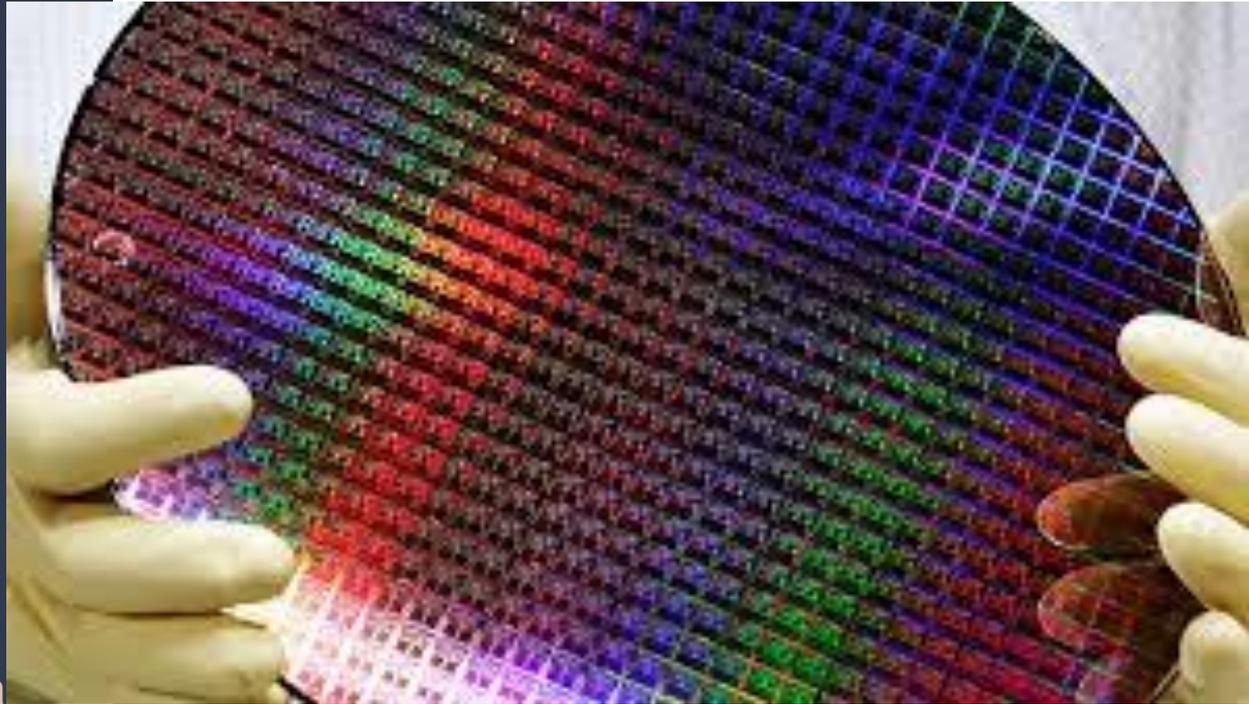
¿Sólo para especialistas?

- ICs nos permiten construir sistemas interconectando millones de transistores para darnos mucho más poder funcional:
  - Más fáciles de diseñar y de fabricar.
  - Más confiables.
  - Oportunidad de diseñar sistemas para propósitos especiales que son más eficientes que los de propósitos generales en muchas aplicaciones.

# VLSI

## Very Large Scale Integration

Fabricar simultáneamente  
millones de componentes y  
sus interconexiones dentro  
de una pastilla  
compacta, confiable y barata



# Ventajas de sistemas basados en VLSI

## Ventajas intrínsecas al VLSI:

- **Tamaño:** dimensiones micrométricas comparadas con las milimétricas de componentes discretos.
- **Velocidad:** capacitancias parásitas en orden de femtofaradios ( $10^{-15}$ ) o menos.
- **Potencia:** pequeñas dimensiones implican pequeños componentes parásitos

## Ventajas para el sistema:

- **Tamaño:** notebooks, celulares, televisores...
- **Potencia:** menor consumo del chip impacta en el resto del sistema: fuente de alimentación más pequeña y barata, pueden evitarse ventiladores de enfriamiento, menores disipadores...
- **Costo:** gabinetes sin blindaje electromagnético, número de partes, fuente de alimentación... el costo total del sistema puede ser menor, aún cuando el costo de diseñar y fabricar el chip sea mayor a las partes que reemplaza directamente.

# ¿Cuál es el tamaño adecuado para una pastilla?

- Pastillas: 1,5 a 2 cm de lado.
- Wafers: 30 a 45 cm de diámetro.
- Yield: número de chips correctos sobre total de chips fabricados por wafer.
- Defectos pueden modelarse mediante la distribución de Poisson:

$$P_0 = \exp(-NA)$$

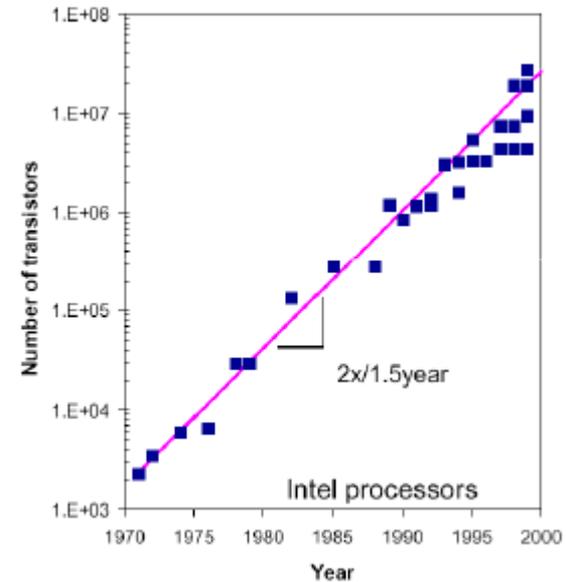
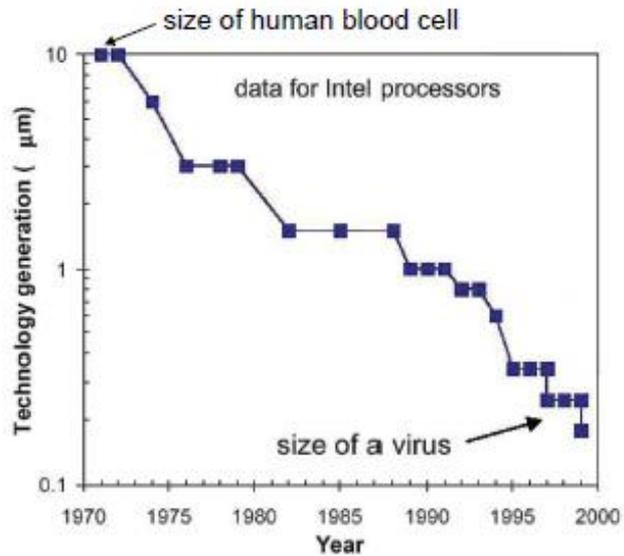
N: tasa de defectos por mm<sup>2</sup>.

A: Área del chip.

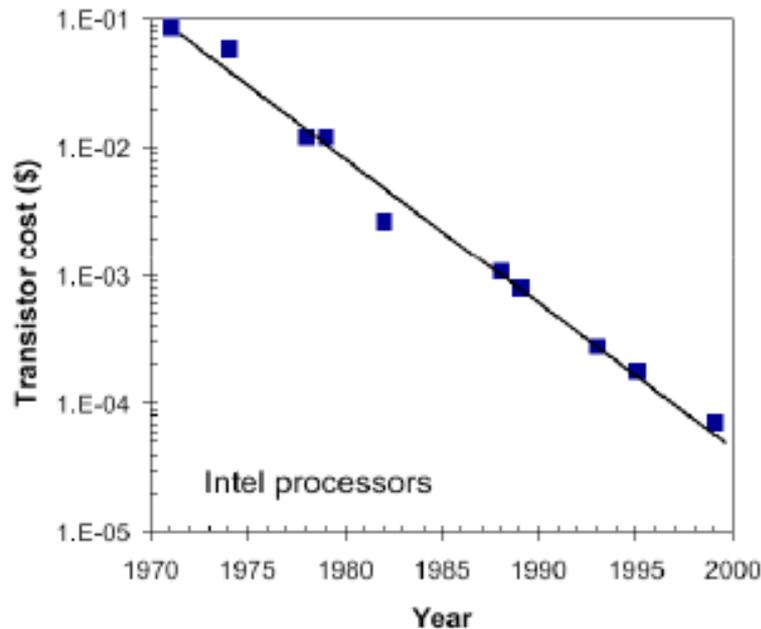
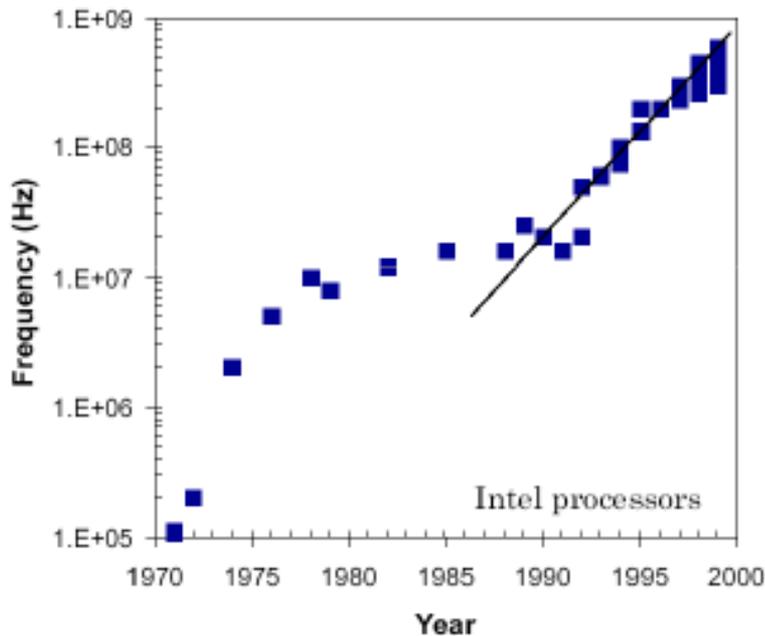
# Terminología en procesos de fabricación

- Un proceso cambia cada tres años aproximadamente: **una generación cada 3 años.**
- **Nodo tecnológico:** el parámetro clave que identifica un proceso es la longitud mínima de canal posible:
  - **TSMC:** 12-inch wafer fabs. The capacity exceeded six million in 2015.  
Production supports **0.13 $\mu$ m, 90nm, 65nm, 40nm, 28nm, 20nm,** and 16nm process technologies.  
**R&D work on 10nm** node and beyond.

# Cada generación implica mayor capacidad de integración



# Cada generación: Mayor performance, menor costo por transistor



# Diseño VLSI

Costos de diseño:

Tiempo y dinero para diseñar un chip  
sube de manera constante  
(desafortunada consecuencia de la ley  
de Moore)

Diseñadores: desde 6 personas para un pequeño chip, a 500 para un microprocesador de alta performance.

Herramientas EDA (Electronics Design Automation): Synopsys, Mentor Graphics, Cadence. U\$S 50.000 por licencia anual más soporte *workstations*.

Nosotros usamos Alliance: EDA modular desarrollado en Universidad de París.

IC fabricado en un nodo estándar: desde U\$S 20M a U\$S 100M.

Un microprocesador de alta performance cuesta varios cientos de millones de dólares.

# Diseño VLSI basado en IP

(Intellectual Property)

Podemos esparcir el costo de un chip si reusamos partes en diferentes chips.

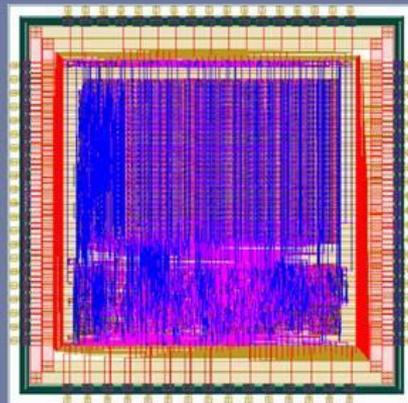
Es la motivación primaria bajo el crecimiento del diseño basado en IP.

Diseño IP crea módulos que podemos reusar en diferentes diseños.

Creamos bibliotecas de módulos.

El diseño de un chip con bloques IP es similar al de una PCB incluyendo diferentes chips.

Martes 28 de junio  
11:30 hs  
Sala Audiovisuales  
Block Decanato  
*¡NO FALTES!*



Layout MIPS multiciclo 32 bits

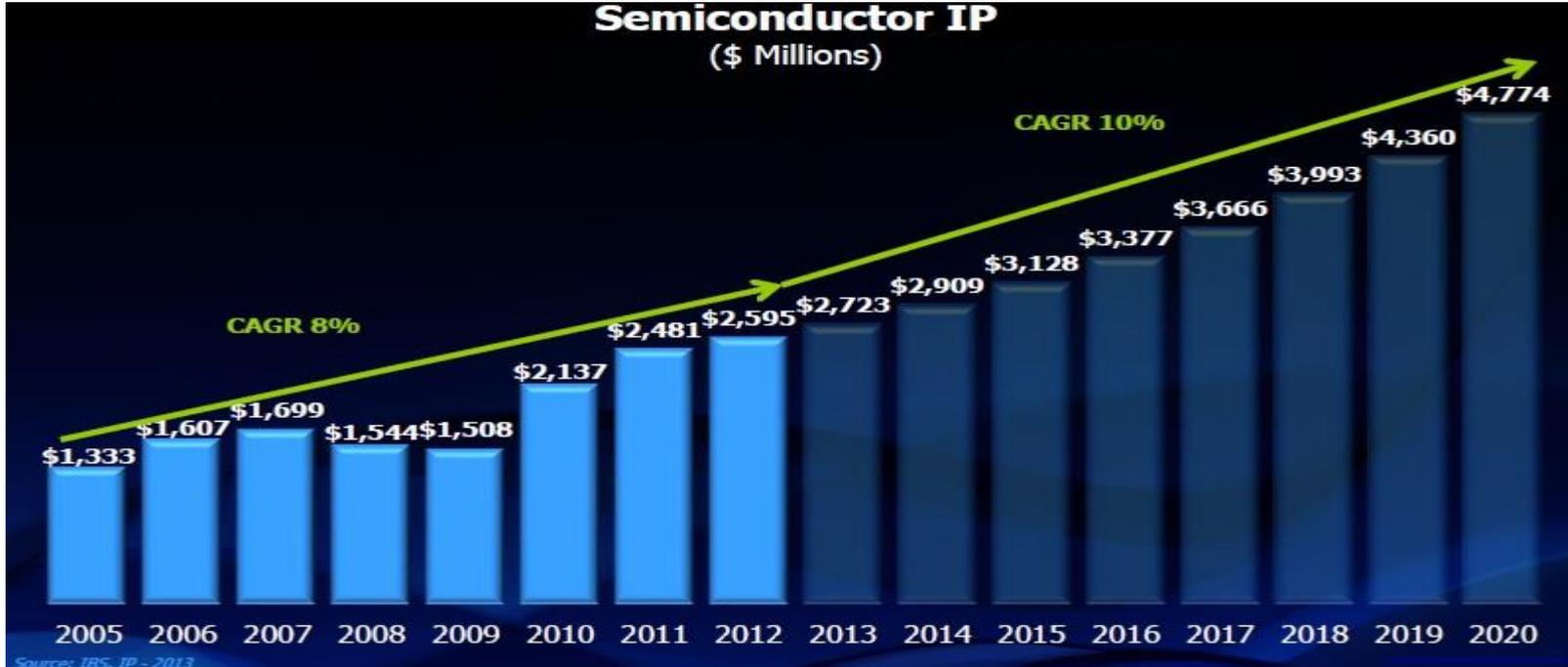
Emilia Díaz  
Andrés Rojas  
Marcelo Torres

85.471 transistores  
interconectados  
configurando un  
microprocesador de 32 bits

Proyecto histórico en el DEEC

ANÁLISIS Y DISEÑO DE CIRCUITOS INTEGRADOS DIGITALES

# Ingresos por Semiconductor IP

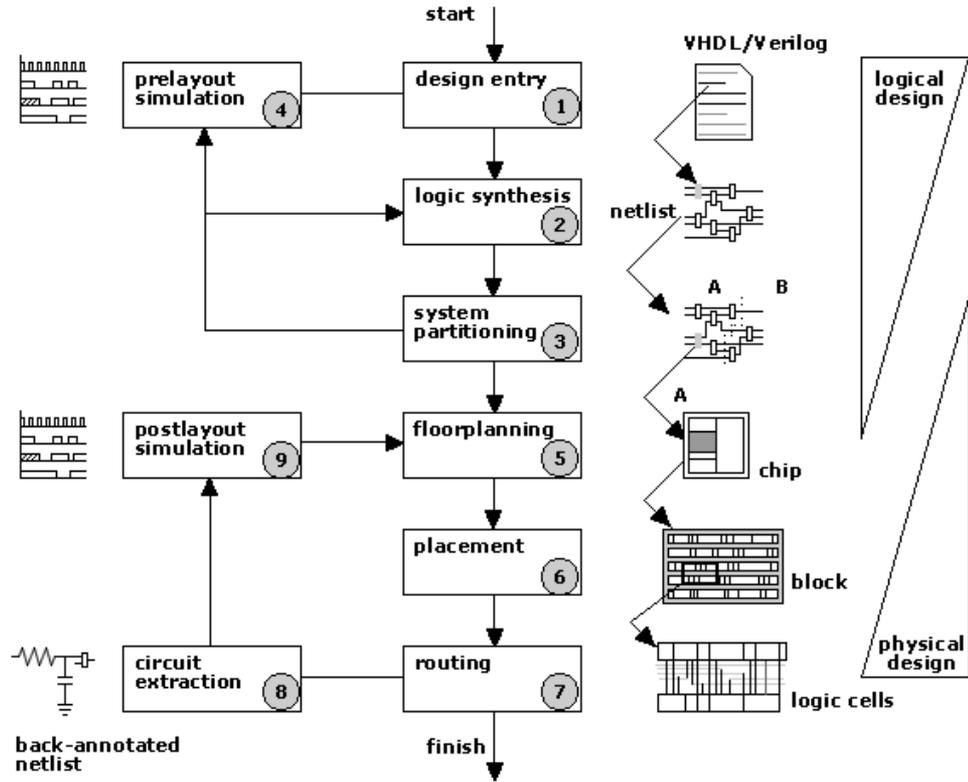


**ARM, Synopsys, Rambus, Tessera and Imagination** making 73% of the total IP revenue.

# Evolución Funcional del Ecosistema de Semiconductores

1950s	1960s	1970s	1980s	1990s	2000s	2010s
						Software
				IP Provider	IP Provider	IP Provider
			Fabless Companies	Fabless Companies	Fabless Companies	Fabless Companies
	Manufacturing Tools					
IDM	IDM	IDM	IDM	IDM	IDM	IDM
		EDA Tools				
			Foundries	Foundries	Foundries	Foundries
					Packaging	Packaging

# Diseño por niveles de abstracción



**Innovus(TM) Implementation System 15.1**

File View Edit Partition Floorplan Power Place ECO Clock Route Timing Verify PVS Tools Windows Flows Help

online help cadence

Layout

Setting

Use Existing Density Map

**Density Grid**

In Rows: 10

In Microns: 50

Apply Default

1.25 1 0.95 0.9 0.85 0.8 0.75 0.7 0.65 0.6 0.55 0.5

Overlay

Control

All Colors V S

- Instance
- Cell Type
- Instance
  - Block
  - Std. Cell
  - Cover Cell
  - Physical Cell
  - IO Cell
  - Area IO Cell
  - Black Box
- Function
- Status
- Module
- Cell
- Blockage
- Row
- Floorplan
- Partition
- Power
- Overlay
  - Density Map
  - Pin Density
  - Timing Map
  - Power Density
  - Congestion
  - Route Cong.
  - Channel Cong.
- Track
- Net
- Wire&Via
  - Metal 0
  - Via 01
  - Metal1 (M1)
  - Via12(V12)
  - Metal2(M2)
  - Via23(V23)
  - Metal3(M3)
  - Via34(V34)
  - Metal4(M4)
  - Via45(V45)

Detail Speed

Click to select single object. Shift+Click to de/select multiple objects.

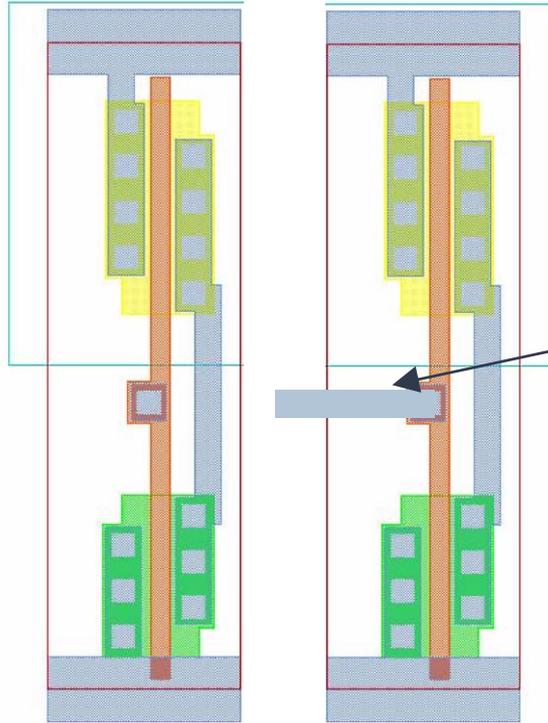
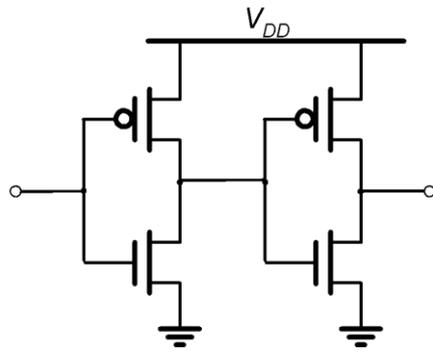
Q 0 -357.815, 989.123 Timing Analyzed



# Two Inverters

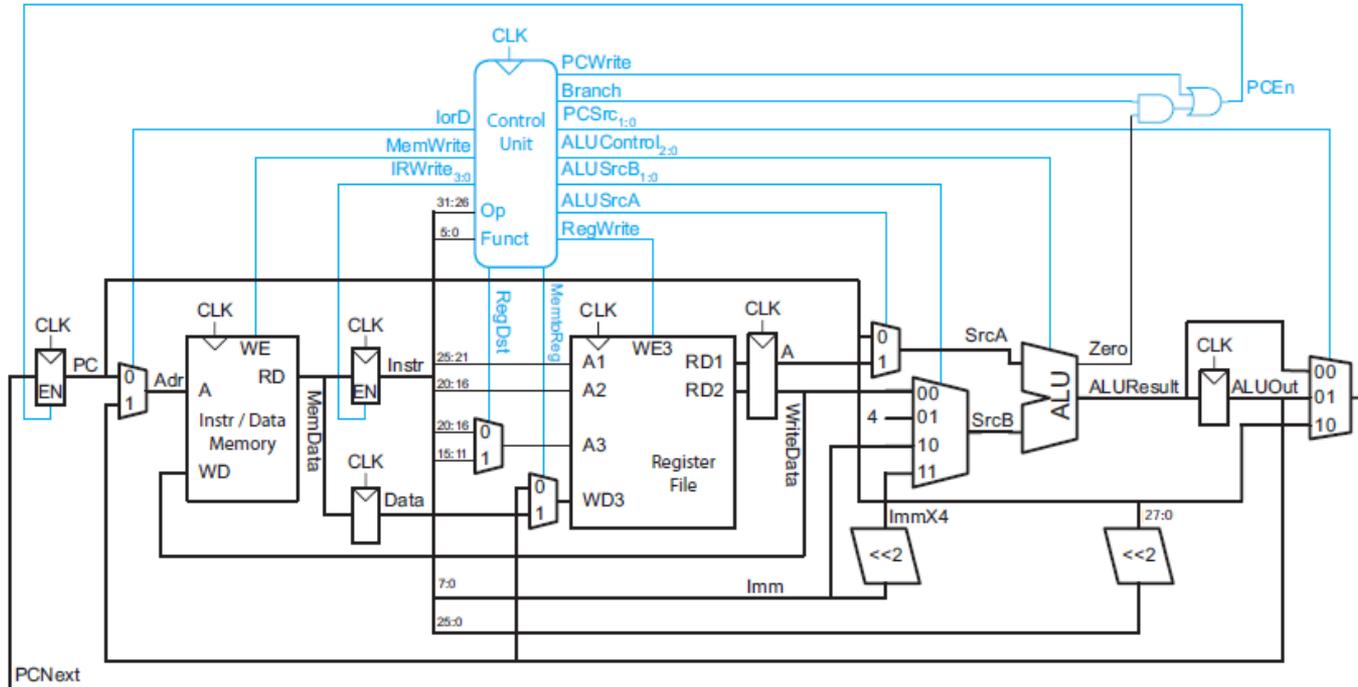
Share power and ground

Abut cells



Connect in Metal

# MIPS Multiciclo de 32-bits



# Arquitectura del Set de Instrucciones (ISA)

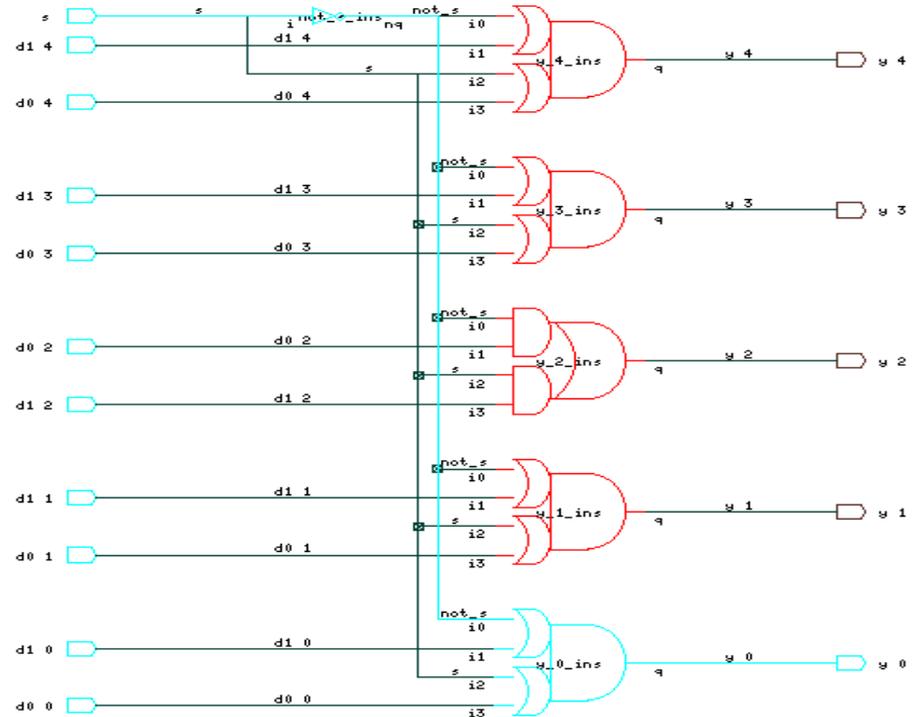
Instruction	Function	Encoding	op	funct
add \$1, \$2, \$3	addition: $\$1 \leftarrow \$2 + \$3$	R	000000	100000
sub \$1, \$2, \$3	subtraction: $\$1 \leftarrow \$2 - \$3$	R	000000	100010
and \$1, \$2, \$3	bitwise and: $\$1 \leftarrow \$2 \text{ and } \$3$	R	000000	100100
or \$1, \$2, \$3	bitwise or: $\$1 \leftarrow \$2 \text{ or } \$3$	R	000000	100101
slt \$1, \$2, \$3	set less than: $\$1 \leftarrow 1 \text{ if } \$2 < \$3$ $\$1 \leftarrow 0 \text{ otherwise}$	R	000000	101010
addi \$1, \$2, imm	add immediate: $\$1 \leftarrow \$2 + \text{imm}$	I	001000	n/a
beq \$1, \$2, imm	branch if equal: $\text{PC} \leftarrow \text{PC} + \text{imm} \times 4^a$	I	000100	n/a
j destination	jump: $\text{PC} \leftarrow \text{destination}^a$	J	000010	n/a
lb \$1, imm(\$2)	load byte: $\$1 \leftarrow \text{mem}[\$2 + \text{imm}]$	I	100000	n/a
sb \$1, imm(\$2)	store byte: $\text{mem}[\$2 + \text{imm}] \leftarrow \$1$	I	101000	n/a

# Síntesis del Multiplexor



Simulación

Esquemático

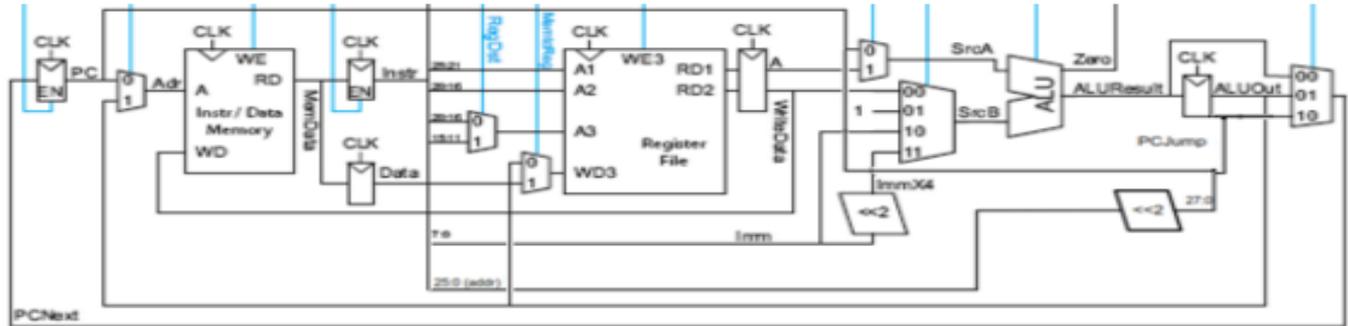


# Datapath

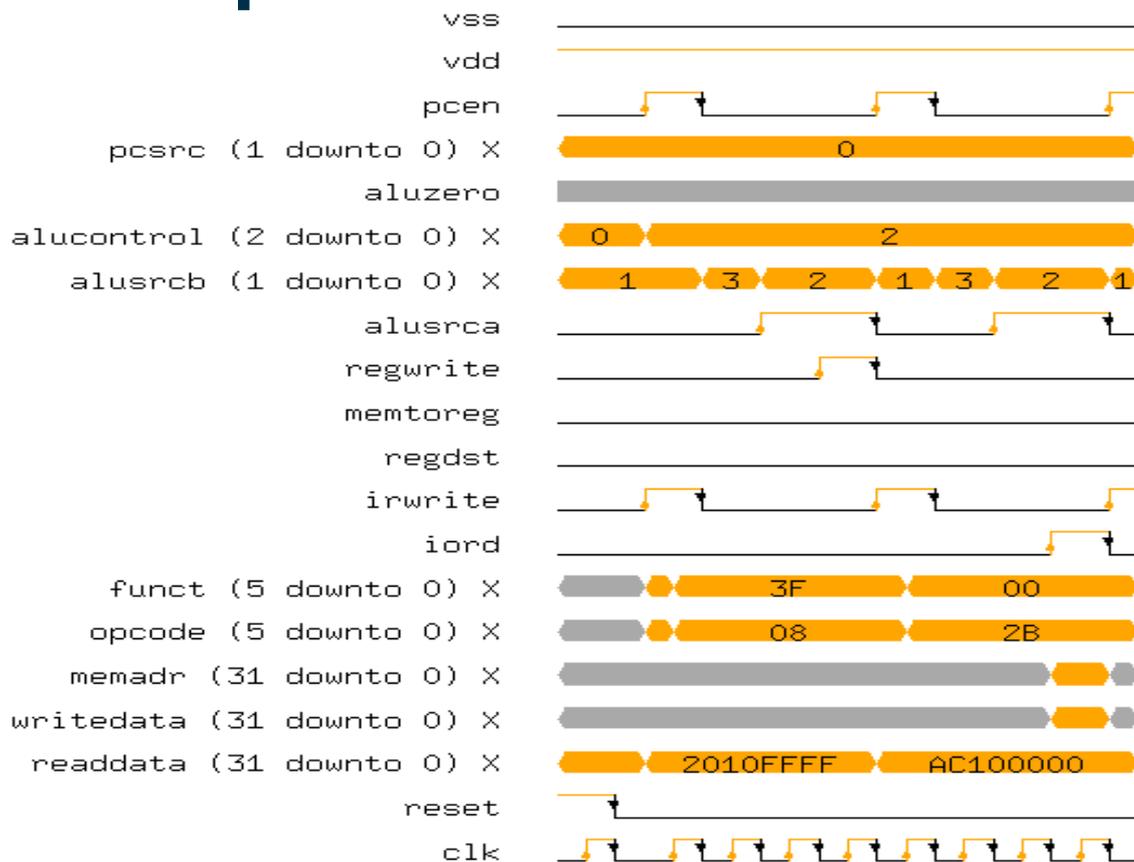
## Procesos de síntesis jerárquica

datapath.vhd

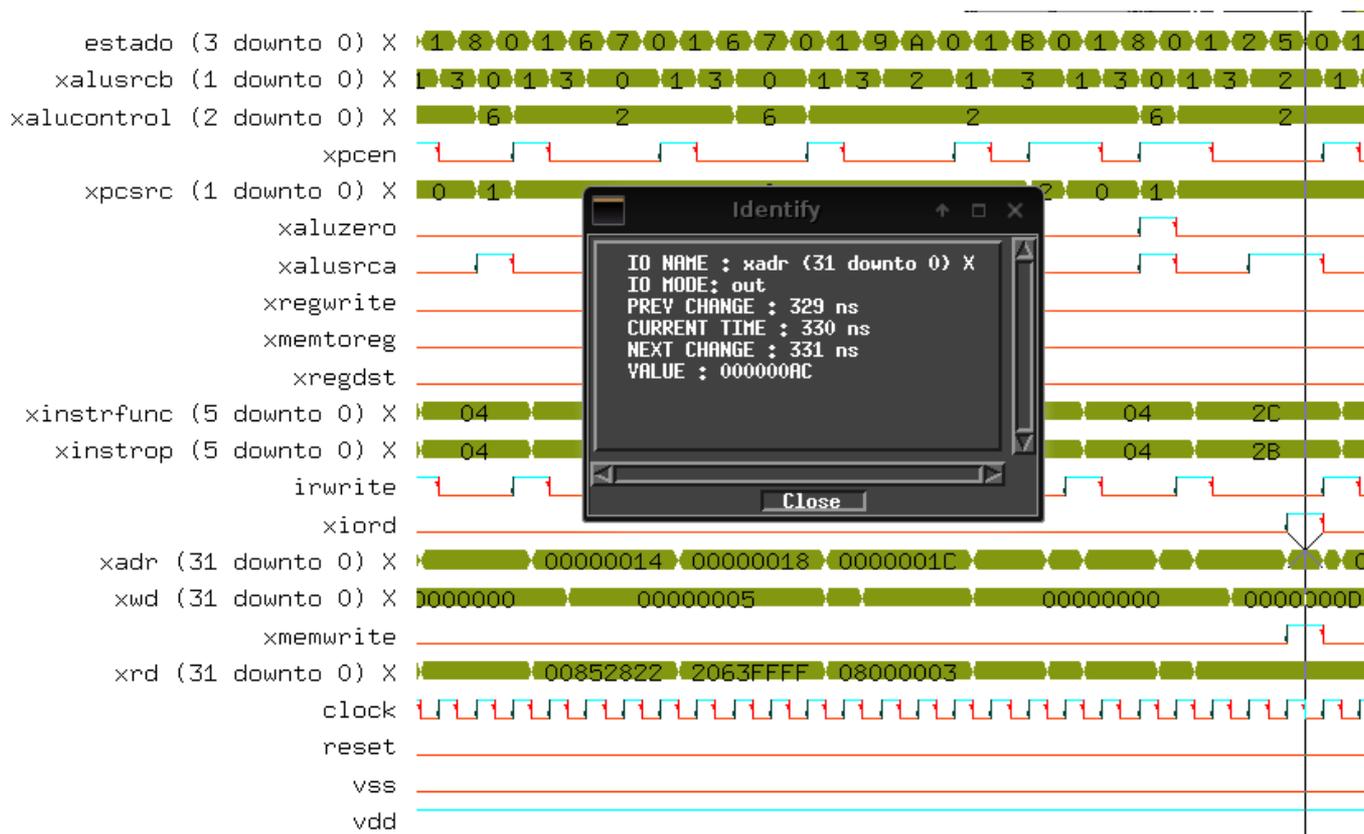
- datapath\_place.c
- alu.vhd
- and2.vhd
- sl2.vhd
- sl22.vhd
- mux2.vhd
- mux2\_5b.vhd
- mux4.vhd
- not2.vhd
- or2.vhd
- reg.vhd
- signext.vhd
- regfile.vhd
  - regfile\_place.c
  - registro.vhd
  - deco32.vhd
    - deco3to8.vhd
    - deco2to4.vhd



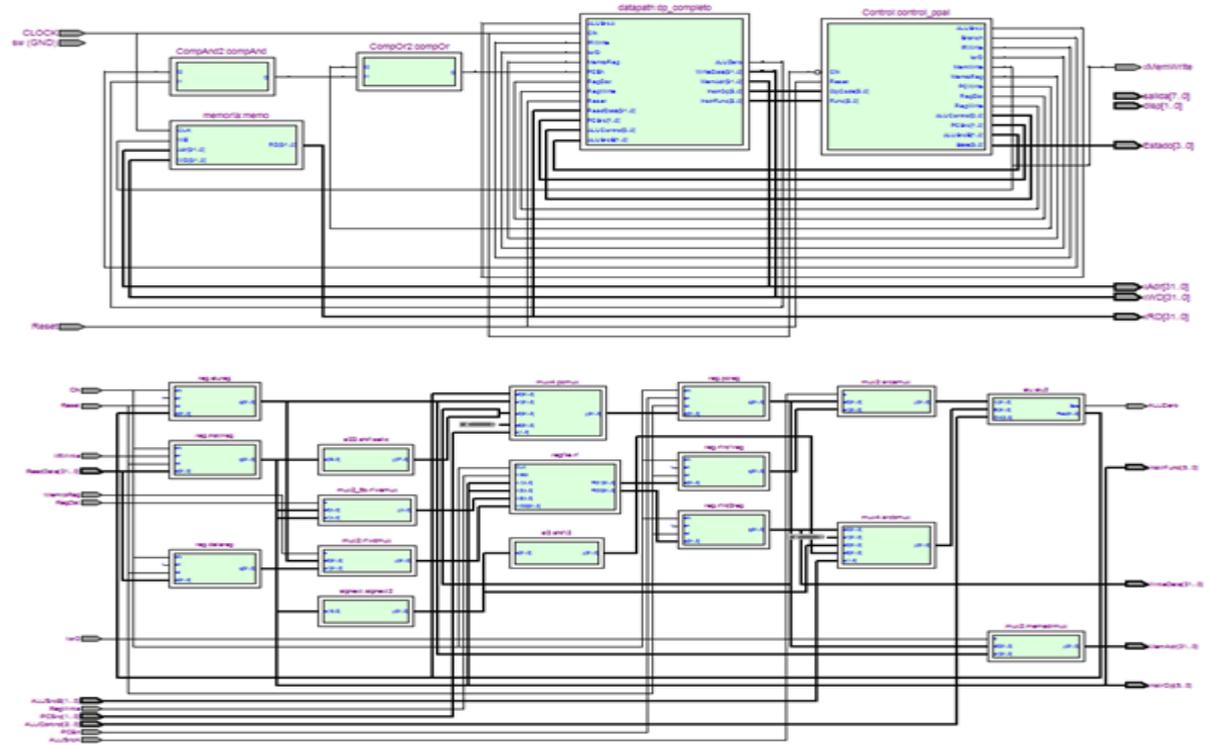
# Síntesis de Datapath



# Síntesis del core

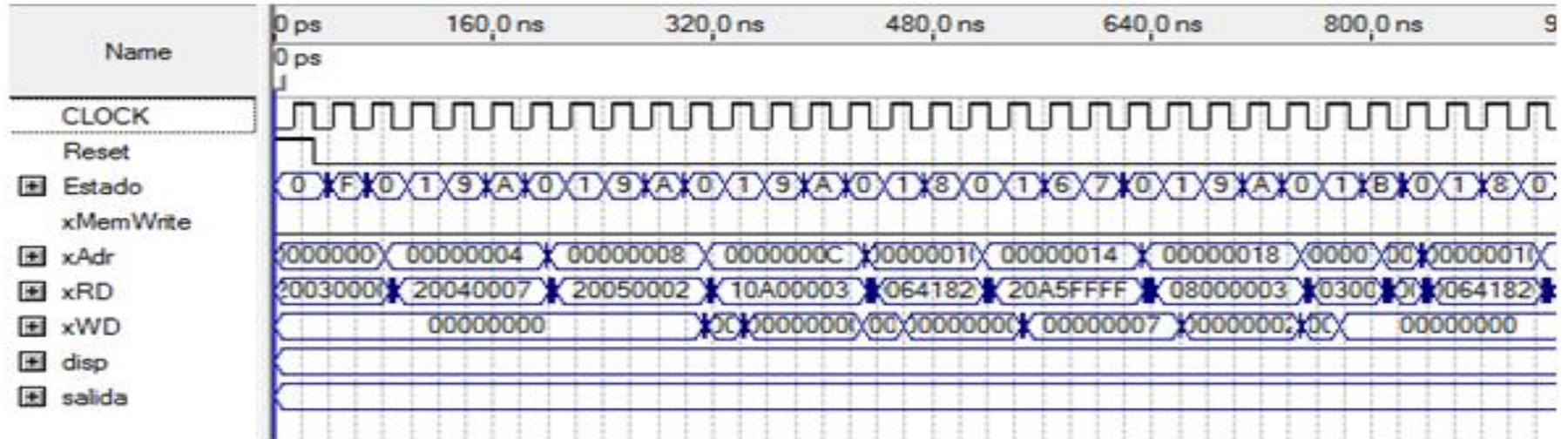


# Verificación Estructural

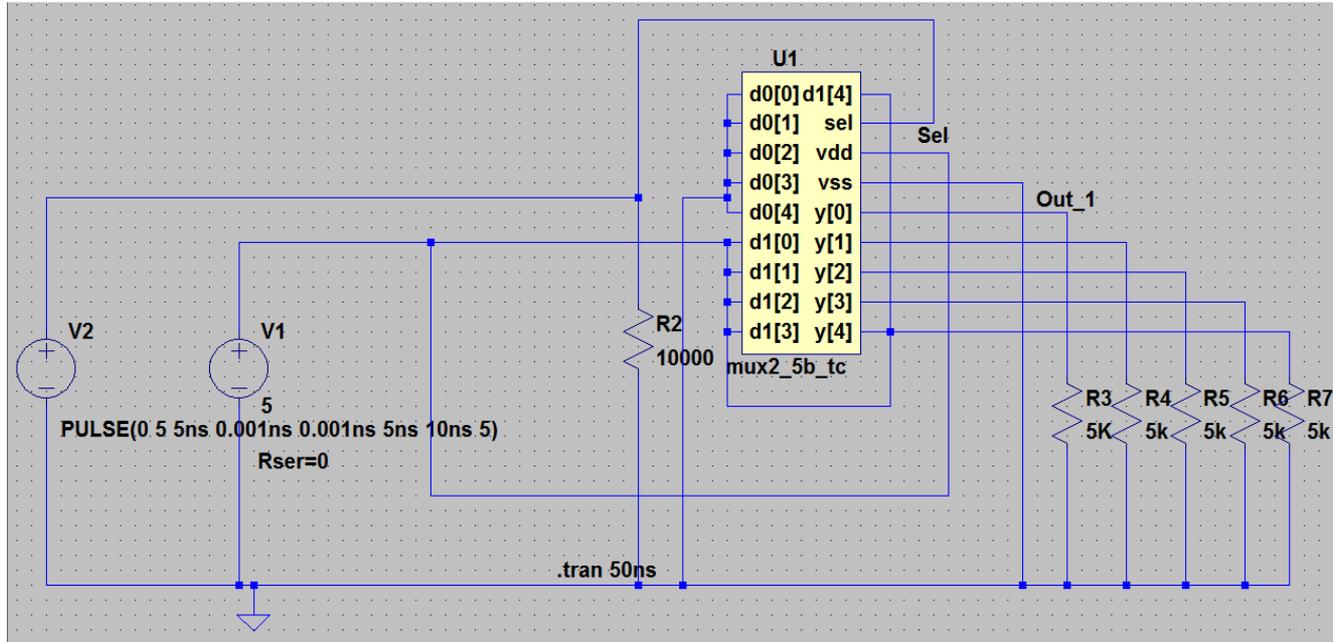


# Simulación

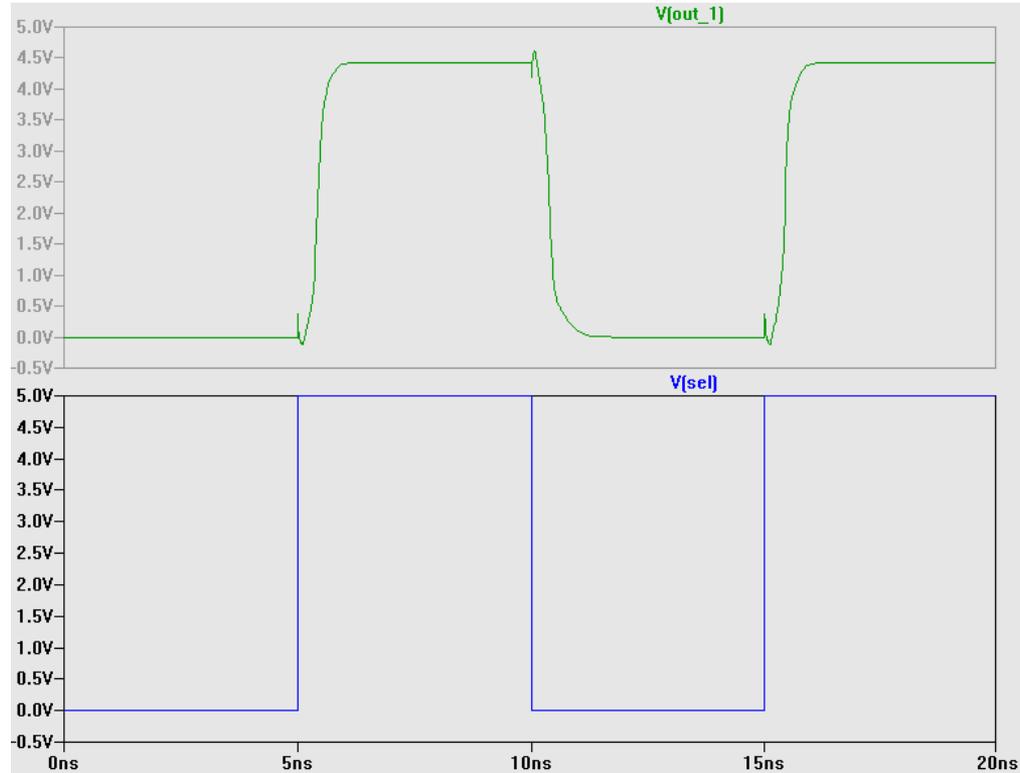
## Simulación lógica temporal



# Extracción de Parámetros



# Extracción de Parámetros



# Extracción de Parámetros

Bloque lógico	Retardo de propagación	Retardo de contaminación
ALU	8.4 ns	6.8 ns
Mux_2a1_32bits	1.5 ns	0.1 ns
Mux_2a1_5bits	1 ns	0.1 ns
Mux_4a1_32bits	4 ns	0.1 ns
SigNext	1 ns	0.01 ns
SI2	1 ns	0.01 ns
Regfile	4.3 ns	1.4 ns
Registro	1.6 ns	0.8 ns
Control	2.8 ns	1 ns

# MIPS

Pastilla: 5381 x 5251  $\mu\text{m}$

Transistores: 85471

*¡¡muchas gracias!!!*